



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09260590 A**(43) Date of publication of application: **03.10.97**

(51) Int. Cl. **H01L 27/04**  
**H01L 21/822**  
**H01L 21/28**  
**H01L 21/8234**  
**H01L 27/088**  
**H01L 29/78**  
**H01L 21/336**

(21) Application number: **08062253**(71) Applicant: **SONY CORP**(22) Date of filing: **19.03.96**(72) Inventor: **SUGANO MICHIIRO**(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

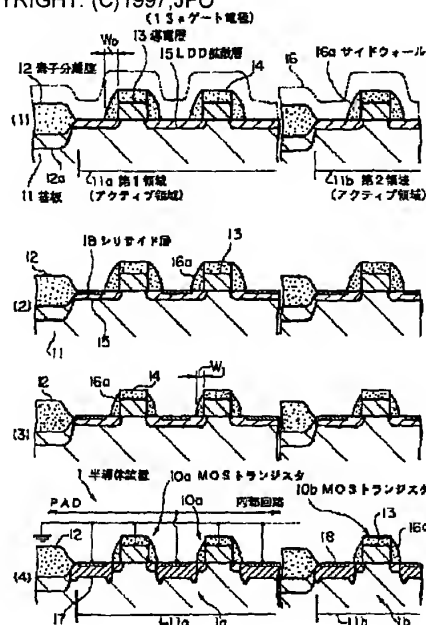
MOS transistor 10a and another circuit 1b formed of a MOS transistor 10b are separately provided.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

**PROBLEM TO BE SOLVED:** To prevent a MOS transistor from decreasing in withstand electrostatic voltage, where a silicide layer is formed on the surface layer of a source/drain diffusion layer so as to restrain it from increasing in diffusion resistance.

**SOLUTION:** In a first process, a gate electrode 13 is formed on a substrate 11 where an element isolating film 12 is formed, then impurities are introduced into the substrate 11 through its exposed surface for the formation of an LDD diffusion layer 15, and a side wall 16a is formed on the side wall of the gate electrode 13. In a second process, a silicide layer 18 is formed on the exposed surface layer of the substrate 11. In a third process, the side wall 16a and the element isolating layer 12 are reduced in width as prescribed by etch-back. In a fourth process, impurities are introduced into the substrate 11 through its exposed surface for the formation of a source/drain diffusion layer, an electrostatic protection circuit 1a composed of a first region 11a and a second region 11b isolated from each other by an element isolating film 12 and a



(51) IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/04		H 0 1 L 27/04	H
	21/822		21/28	3 0 1 D
	21/28	3 0 1	27/08	1 0 2 F
	21/8234		29/78	3 0 1 K
	27/088			3 0 1 Y
審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平8-62253

(22) 出願日 平成8年(1996)3月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 菅野 道博

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

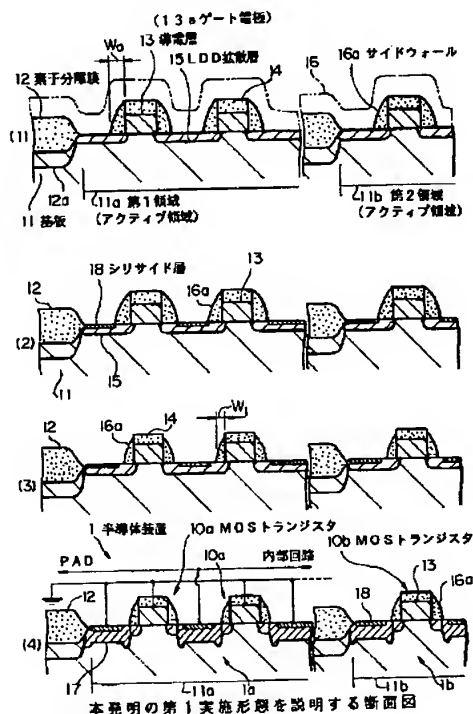
(74) 代理人 弁理士 船橋 國則

## (54) 【発明の名称】 半導体装置及び半導体装置の製造方法

## (57) 【要約】

【課題】 拡散抵抗の上昇を抑えるためにソース・ドレイン拡散層の表面層にシリサイド層を形成したMOSトランジスタでは、静電耐圧が低下する。

【解決手段】 第1工程では、素子分離膜12が形成された基板11上にゲート電極13aを形成した後、基板11の露出表面からLDD拡散層15を形成するための不純物を導入し、ゲート電極13の側壁にサイドウォール16aを形成する。第2工程では、基板11の露出表面層にシリサイド層18を形成する。第3工程では、サイドウォール16a及び素子分離膜12をエッチバックし、サイドウォール16a及び素子分離膜12を所定幅にまで狭くする。第4工程では、基板11の露出表面からソース・ドレイン拡散層17を形成するための不純物を導入し、素子分離膜12で分離された第1領域11aと第2領域11bとにMOSトランジスタ10aで構成される静電保護回路1aとMOSトランジスタ10bで構成されるその他の回路1bとを個別に設ける。



本発明の第1実施形態を説明する断面図

## 【特許請求の範囲】

【請求項1】 素子分離膜で分離された基板の表面側のアクティブ領域に、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置において、

前記シリサイド層は、前記素子分離膜及び当該MOSトランジスタのゲート電極の側壁に配置されるサイドウォールとの間隔を保った状態で前記ソース拡散層及びドレイン拡散層の表面層に設けられたことを特徴とする半導体装置。

【請求項2】 素子分離膜で分離された基板の表面側のアクティブ領域に、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置の製造方法であって、

素子分離膜が形成された基板上に一部が前記MOSトランジスタのゲート電極になる導電層を形成し、次いで当該基板の露出表面から前記MOSトランジスタのLDD拡散層を形成するための不純物を導入した後、前記ゲート電極の側壁にサイドウォールを形成する第1工程と、前記LDD拡散層の露出表面層にシリサイド層を形成する第2工程と、

前記サイドウォール及び素子分離膜をエッチバックし、当該サイドウォール及び素子分離膜の幅を所定幅にまで狭くする第3工程と、

前記基板の露出表面から前記MOSトランジスタのソース拡散層及びドレイン拡散層を形成するための不純物導入を行う第4工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項3】 素子分離膜で分離された基板の表面側のアクティブ領域に、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置の製造方法であって、

素子分離膜が形成された基板上に一部が前記MOSトランジスタのゲート電極になる導電層を形成し、次いで当該基板の露出表面から前記MOSトランジスタのLDD拡散層を形成するための不純物を導入し、前記ゲート電極の側壁にサイドウォールを形成した後、前記基板の露出表面から前記MOSトランジスタのソース拡散層及びドレイン拡散層を形成するための第1回目の不純物導入を行う第1工程と、

前記基板の露出表面層にシリサイド層を形成する第2工程と、

前記サイドウォール及び素子分離膜をエッチバックし、当該サイドウォール及び素子分離膜の幅を所定幅にまで狭くする第3工程と、

前記基板の露出表面から前記MOSトランジスタのソース拡散層及びドレイン拡散層を形成するための2回目の不純物導入を行う第4工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 素子分離膜で分離された基板の表面側の

アクティブ領域に、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置において、

前記基板表面の素子分離膜とアクティブ領域との境界部上には、当該境界部を覆う状態で前記MOSトランジスタのゲート電極を構成する導電層の一部分が設けられていることを特徴とする半導体装置。

【請求項5】 素子分離膜で分離された基板の表面側のアクティブ領域に、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置の製造方法であって、

基板の表面側に素子分離膜を形成した後、当該基板表面のアクティブ領域と当該素子分離膜との境界部上を覆う状態で一部が前記MOSトランジスタのゲート電極になると共に当該ゲート電極に接続される導電層を形成する工程と、

前記素子分離膜及び前記導電層から露出する基板の表面からLDD拡散層を形成するための不純物を導入した後、当該導電層の側壁にサイドウォールを形成する工程と、

前記素子分離膜、前記導電層及び前記サイドウォールから露出する基板の表面層にシリサイド層を形成する工程と、

前記素子分離膜、前記導電層及び前記サイドウォールから露出する基板の表面からソース拡散層及びドレイン拡散層を形成するための不純物を導入する工程とを行うことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、素子分離膜で分離された基板表面のアクティブ領域にMOSトランジスタを設けてなる半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】半導体装置の高集積化と高機能化にともない、微細化された導電層の低抵抗化が要求されている。このため、例えばMOSトランジスタを備えた半導体装置においては、当該MOSトランジスタのソース拡散層及びドレイン拡散層（以下、ソース・ドレイン拡散層と記す）の表面層にシリサイド層を形成することによって拡散抵抗の低減を図ることが検討されている。

【0003】上記半導体装置を製造する場合には、先ず、図5（1）に示すように、基板51の表面側に素子分離膜52とその下面のチャネルストップ拡散層52aとを形成し、次いで、基板51上に一部がゲート電極53aになる導電層53を形成する。この導電層53は、上面にオフセット酸化膜54が形成されたものとする。次に、当該基板51の露出表面からLDD（lightly doped drain）拡散層55を形成するための不純物を導入した後、基板51上に成膜した酸化シリコン膜をエッチバックすることによって導電層53及びオフセット酸化膜

54の側壁にサイドウォール56を形成する。このサイドウォール56は、次にソース・ドレイン拡散層57を形成した場合にLDD拡散層55を残す幅 $w_1$ で形成することとし、例えば導電層53の膜厚が200nm程度である場合にサイドウォール56幅は $w_1 = 0.12 \mu\text{m}$ 程度とする。その後、基板51の露出表面からソース・ドレイン拡散層57を形成するための不純物導入を行う。しかる後、図5(2)に示すように、例えばセルフアラインシリサイドプロセスによって、ソース・ドレイン拡散層57の露出表面を覆う状態でシリサイド層58を形成する。

#### 【0004】

【発明が解決しようとする課題】しかし、上記のように複数の素子を設けてなる半導体装置においては、図6に示すように、外部電源が接続されるパッド61と内部回路62との間に静電保護回路63を備えることによって内部回路62を保護している。この静電保護回路63は、例えば、NチャンネルMOSトランジスタ（以下、NMOSと記す）とPチャンネルMOSトランジスタ（以下、PMOSと記す）とをパッド61に対して並列に接続することで、パッド61に急激に高電圧が掛かった場合に、この静電保護回路63のPN接合を通して電荷を逃がすように構成されている。

【0005】このため、半導体装置の動作速度の高速化を達成するために、当該半導体装置を構成するMOSトランジスタのソース・ドレイン拡散層の表面層にシリサイド層を形成すると、静電保護回路63を構成するMOSトランジスタのソース・ドレイン拡散層の表面層にもシリサイド層が形成される。そして、このような半導体装置においてパッド61に高電圧が掛かると、図5

(2)に示したMOSトランジスタのシリサイド層58もほぼ均一に同電位になる。このため、図中矢印で指し示したような、素子分離膜52の端部におけるチャネルストップ拡散層52aとソース・ドレイン拡散層57とのPN接合部、ゲート電極53aの端部におけるソース・ドレイン拡散層57と基板51のウェル拡散層とのPN接合部、及びここでは図示を省略したゲート酸化膜部分に高電圧が掛かって電流が集中し、これによって当該MOSトランジスタで構成される静電保護回路が静電破壊し易くなると言う課題がある。

【0006】上記静電破壊を防止するためには、シリサイド層58を形成する工程で静電保護回路上をマスクで覆い、当該静電保護回路を構成するMOSトランジスタにはシリサイド層58が形成されないようにする必要がある。しかし、こうした場合には、シリサイド層58を形成するためのリソグラフィ工程が追加されて半導体装置の製造工程が複雑化すると言う新たな課題が生じる。

#### 【0007】

【課題を解決するための手段】そこで本発明は、ソース

拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置において、素子分離膜及びMOSトランジスタのゲート電極の側壁に配置されるサイドウォールとの間隔を保った状態で上記ソース拡散層及びドレイン拡散層の表面層に上記シリサイド層を設けることを上記課題を解決するための手段としている。

【0008】上記半導体装置では、ソース拡散層及びドレイン拡散層の表面層に設けられたシリサイド層とゲート電極側壁のサイドウォール及び素子分離膜との間に間隔が設けられることから、MOSトランジスタのPN接合部とシリサイド層との間隔が広がる。このため、シリサイド層に高電圧が印加されても上記PN接合部分の近くに配置される素子分離膜の端部やゲート電極の端部が電流集中によって静電破壊され難くなる。

【0009】また、本発明の半導体装置の製造方法は、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置の製造方法であり、LDD拡散層を形成するための不純物を導入し、次いでゲート電極の側壁にサイドウォールを形成した後、基板の露出表面層にシリサイド層を形成する。次に、上記サイドウォール及び素子分離膜をエッチバックして所定幅にまで狭くした後、基板の露出表面からソース拡散層及びドレイン拡散層を形成するための不純物導入を行う。

【0010】上記半導体装置の製造方法によれば、サイドウォールと素子分離膜とから露出する基板表面にシリサイド層が形成された後当該サイドウォールと素子分離膜の幅を狭くした状態でソース拡散層及びドレイン拡散層を形成するための不純物導入が行われる。このことから、上記シリサイド層はサイドウォール及び素子分離膜との間隔を保った状態になり、MOSトランジスタのPN接合部と当該シリサイド層との間隔が広がる。

【0011】さらに、本発明の他の半導体装置は、ソース拡散層及びドレイン拡散層の表面層にシリサイド層を有するMOSトランジスタを設けてなる半導体装置において、素子分離膜とアクティブ領域との境界部上にMOSトランジスタのゲート電極を構成する導電層の一部分を設けたことを上記課題を解決するための手段としている。

【0012】上記半導体装置では、素子分離膜とアクティブ領域との境界部上にゲート電極を構成する導電層の一分が設けられた状態で、MOSトランジスタのソース拡散層及びドレイン拡散層の表面層にシリサイド層が設けられることから、MOSトランジスタのPN接合部と素子分離膜との間に間隔が設けられる。このため、シリサイド層に高電圧が印加されても素子分離膜の近くにPN接合が配置されないで、当該素子分離膜の端部が電流集中によって静電破壊され難くなる。

【0013】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1(1)～(4)は、本発明の半導体装置の製造方法に係わる第1実施形態を説明するための断面工程図であり、発明が解決しようとする課題において図6を用いて説明したC-MOS構成の静電防止回路と、MOSトランジスタからなるその他の回路とを同一基板11上に設けてなる半導体装置の製造方法を示す図である。尚、ここでは、NMOSのみを図示して説明を行い、PMOSの製造工程は、上記NMOSの製造工程で拡散層を形成する場合に逆の導電型の不純物を導入することで行われることとする。

【0014】先ず、図1(1)に示す第1工程では、例えばシリコンからなる基板11の表面にチャネルストップ拡散層12aを形成するためのイオン注入を行った後、LOCOS法によって素子分離膜12を形成することによって、基板11の表面側を静電防止回路を形成する第1のアクティブ領域(以下、第1領域と記す)11aとその他の回路を形成する第2のアクティブ領域(以下、第2領域と記す)11bとに分離する。次に、ウェル拡散層(図示せず)を形成するためのイオン注入を行う。

【0015】その後、基板11上に、ゲート酸化膜(図示せず)を介して導電層13を形成する。この導電層13は、第1領域11a及び第2領域11bにおいてはゲート電極13aになるものであり、例えば100nm程度の膜厚のポリシリコン上に100nm程度の膜厚のタングステンシリサイドを積層させてなるポリサイド構造からなる。また、この導電層13上には、膜厚150nm程度のオフセット酸化膜14が積層されていることとする。このオフセット酸化膜14は、後の工程でこの導電層13上に設けられる上層配線と当該導電層13との間の耐圧を確保するために、膜厚200～300nmと厚めに形成しても良い。次に、導電層13(オフセット酸化膜14)及び素子分離膜12をマスクにしたイオン注入によって、基板11の露出表面から当該基板11の表面層にLDD拡散層15を形成するための不純物を導入する。

【0016】以上までを従来と同様に行った後、オフセット酸化膜14、導電層13及び素子分離膜12を覆う状態で、基板11上にサイドウォール形成用の酸化シリコン膜16を成膜する。この際、酸化シリコン膜16の膜厚を250nm程度と厚め(従来は150nm程度)に設定する。次に、酸化シリコン膜16に対して第1回目のエッチバックを行い、導電層13及びオフセット酸化膜14の側壁に当該酸化シリコン膜16からなるサイドウォール16aを形成する。このサイドウォール16aは、幅 $w_0 = 0.17\mu\text{m}$ 程度に形成する。

【0017】次いで、図1(2)に示す第2工程では、セルフアラインシリサイドプロセスによって、素子分離膜12、導電層13(オフセット酸化膜14)及びサイ

ドウォール16aから露出する基板11の表面層、すなわちLDD拡散層15の露出表面層にシリサイド層18を成膜する。

【0018】次に、図1(3)に示す第3工程では、酸化シリコン膜(サイドウォール16a)に対して第2回目のエッチバックを行い、サイドウォール16aの幅を $w_1 = 0.12\mu\text{m}$ 程度にする。ここでは、酸化シリコンからなる素子分離膜12もエッチバックされ、素子分離膜12の幅も狭くなる。さらにここでは、酸化シリコンからなるオフセット酸化膜14もエッチバックされるが、このオフセット酸化膜14を厚めの膜厚で形成した場合には、当該オフセット酸化膜14によって導電層13と後の工程でこの上部に形成される上層配線との間の耐圧が確保される。

【0019】次いで、図1(4)に示す第4工程では、素子分離膜12、導電層13及びサイドウォール16aをマスクに用いて、ソース・ドレイン拡散層17を形成するためのイオン注入を行う。ここでは、シリサイド層18上からイオン注入が行われるため、シリサイド層18下の部分ではその他の部分よりもイオンの注入深さが浅くなる。そして、ソース・ドレイン拡散層17は、シリサイド層18下の部分が浅く周辺部が深い形状になる。

【0020】上記のようにして、第1領域11aにMOSトランジスタ10aを形成し、第2領域11bにMOSトランジスタ10bを形成した後、第1領域11aのMOSトランジスタ10aを上記従来の技術で図6を用いて説明したように配線して静電保護回路1aを形成し、第2領域11bのMOSトランジスタ10bを回路の動作目的に合わせて配線して(図示せず)その他の回路1bを形成することによって、半導体装置1を完成させる。

【0021】上記半導体装置の製造方法によれば、サイドウォール16aと素子分離膜12とをマスクにしてシリサイド層18を形成した後、サイドウォール16aと素子分離膜12の幅を狭くした状態でソース・ドレイン拡散層17を形成するための不純物導入が行われる。このことから、サイドウォール16a及び素子分離膜12との間隔を保った状態でソース・ドレイン拡散層17の表面層に上記シリサイド層18が設けられ、MOSトランジスタ10a、10bのPN接合部とシリサイド層18との間隔が広がる。このように構成された半導体装置1では、シリサイド層18によって、MOSトランジスタ10a、10bにおけるソース・ドレイン拡散層17の拡散抵抗が低く抑えられる。そして、特に静電保護回路1aにおいては、パッドへの高電圧の印加によってシリサイド層18に高電圧が印加されても、シリサイド層18とPN接合との間隔が広がっているため、素子分離膜12の端部やゲート電極13aの端部またはゲート酸化膜(図示せず)が局所的な電流集中によって静電

破壊され難くなる。また、上記半導体装置1は、従来と同じマスク数で形成できるため、製造工程が複雑になったり製造コストが大幅に上げることなく形成される。

【0022】次に、図2(1)～(4)は、本発明の半導体装置の製造方法の第2実施形態を説明する図である。ここで説明する第2実施形態の製造手順と、上記第1実施形態の製造手順との異なる点は、図2(1)で示す第1工程でソース・ドレイン拡散層を形成するための第1回目のイオン注入を行う点にある。

【0023】このため、先ず、図2(1)に示す第1工程では、上記第1実施形態の第1工程と同様に、チャンネルストップ拡散層12a及び素子分離膜12を形成して基板11の表面側を第1領域11aと第2領域11bに分離すると共に、一部がゲート電極13aになる導電層13、オフセット酸化膜14、LDD拡散層15及び所定幅よりも広い幅( $w_0 = 0.17 \mu\text{m}$ 程度)を有するサイドウォール16aを形成する。その後、ソース・ドレイン拡散層17を形成するための第1回目のイオンを行い、LDD拡散層15よりも深く不純物を基板11の表面側に導入する。

【0024】次に、図2(2)で示す第2工程では、上記第1実施形態と同様に基板11の露出表面層にシリサイド層18を形成する。このシリサイド層18は、基板11の露出表面層に設けられる。

【0025】その後、図2(3)に示す第3工程では、上記第1実施形態と同様にサイドウォール16a及び素子分離膜12に対して第2回目のエッチバックを行い、サイドウォール16a及び素子分離膜12の幅を所定幅にまで狭くする。

【0026】次いで、図2(4)に示す第4工程では、上記第1実施形態と同様にソース・ドレイン拡散層17を形成するためのイオン注入を行う。ただし、このイオン注入は、ソース・ドレイン拡散層17を形成するための第2回目のイオン注入になる。そして、この第2回目のイオン注入によって、サイドウォール16a及び素子分離膜12が第2回目のエッチバックで後退した部分に不純物が導入され、ソース・ドレイン拡散層17の幅が広げられる。また、ここでは、シリサイド層18上からイオン注入が行われるため、シリサイド層18下の部分ではその他の部分よりもイオン注入深さが浅くなる。しかし、このシリサイド層18下の部分には、第1工程で行われた第1回目のイオン注入でソース・ドレイン拡散層17を形成するための不純物が導入されている。このため、2回のイオン注入によって形成されるソース・ドレイン拡散層17は、2回のイオン注入の際の注入エネルギーを同じ値に設定することによって、一定の深さで形成されたものになる。

【0027】次いで、上記のようにして、第1領域11aにMOSトランジスタ10aを形成し、第2領域11bにMOSトランジスタ10bを形成した後、上記第1

実施形態と同様に各MOSトランジスタ10a、10bを配線することによって、静電保護回路1aとその他の回路1bとを有する半導体装置2を完成させる。

【0028】上記半導体装置の形成方法によれば、上記第1実施形態の方法と同様にサイドウォール16a及び素子分離膜12との間隔を保った状態でソース・ドレイン拡散層17の表面層にシリサイド層18が設けられ、MOSトランジスタのPN接合部とシリサイド層18との間隔が広がる。そして、このように構成された半導体装置2では、上記第1実施形態と同様に、MOSトランジスタ10a、10bにおける拡散抵抗が低く保たれると共に、MOSトランジスタ10aで構成される静電保護回路1aにおいては電流集中による静電破壊が発生し難くなる。

【0029】次に、図3(1)～(3)は、上記第1及び第2実施形態と同様に、C-MOS構成の静電保護回路とMOSトランジスタからなるその他の回路とを同一基板11上に設けてなる半導体装置の製造方法の一例を示す図であり、以下にこれらの図を用いて第3実施形態を説明する。尚、ここでは、NMOSのみを図示して説明を行い、PMOSの製造工程は、上記NMOSの製造工程で拡散層を形成する場合に逆の導電型の不純物を導入することで行われることとする。

【0030】先ず、図3(1)に示す第1工程では、上記第1及び第2実施形態と同様に、基板11の表面側に素子分離膜12及びチャンネルストップ拡散層12aを形成して当該基板11の表面を第1領域11aと第2領域11bとに分離し、次いで、ここでは図示しないウェル拡散層を形成するためのイオン注入を行う。その後、基板11上に、上記第1及び第2実施形態と同様に導電層13を形成する。ただしここでは、一部分がMOSトランジスタのゲート電極13aになり、他の一部分がゲート電極13aに接続された状態で静電保護回路が設けられる第1領域11aと素子分離膜12との境界上に設けられるようなレイアウトでこの導電層13を形成することとする。

【0031】そして、その他の第1工程と図3(2)に示す第2工程とは、上記図2(1)を用いて説明した第2実施形態の第1工程と同様に行い、基板11の表面側にLDD拡散層15、サイドウォール16a、ソース・ドレイン拡散層17を形成する。

【0032】次に、図3(3)に示す第3工程では、上記図2(2)を用いて説明した第2実施形態の第2工程と同様に、基板11の露出表面にシリサイド層18を形成する。上記のようにして第1領域11aにMOSトランジスタ10aを形成し第2領域11bにMOSトランジスタ10bを形成した後、上記第1及び第2実施形態と同様に各MOSトランジスタ10a、10bを配線することによって、静電保護回路3aとその他の回路1bとを有する半導体装置3を完成させる。そして、図4に



示すように、この半導体装置(3)の静電保護回路3aは、図中破線で示す素子分離膜(12)の端部121が導電層13で覆われたものになる。

【0033】この半導体装置は、図3(3)に示したように、MOSトランジスタのソース・ドレイン拡散層17の表面層にシリサイド層18が設けられた状態で、静電保護回路3aを構成するMOSトランジスタ10aのLDD拡散層15と素子分離膜12の間には間隔が設けられる。このため、静電保護回路3aにおいては、素子分離膜12の端部にPN接合が配置されないことによって、素子分離膜12の端部が電流集中によって静電破壊され難くなる。また、その他の回路3bにおいては、MOSトランジスタ10aの拡散抵抗が低くなる。

【0034】尚、上記第3実施形態では、第3工程でシリサイド層18を形成した後、図2(3)、(4)を用いて説明した上記第2実施形態の第3工程とこれに続く第4工程とを行っても良い。また、図3(2)を用いて説明した第2工程でサイドウォール16aを形成した後、引き続きソース・ドレイン拡散層17を形成せずに、図1(2)~(4)を用いて説明した第1実施形態の第2工程から第4工程までを行っても良い。ただし、どちらの場合も、図3(2)を用いて説明した第2工程では、最終的な所定幅よりも広い幅を有するサイドウォール16aを形成するようにする。

【0035】上記のようにして形成された半導体装置は、第1、第2実施形態の効果と第3実施形態の効果とを合わせ持ったものになる。このため、さらに静電破壊の防止効果が高いものになる。

【0036】

【発明の効果】以上説明したように、本発明の半導体装置によれば、MOSトランジスタのソース・ドレイン拡散層の表面層に設けられたシリサイド層とゲート電極側壁のサイドウォール及び素子分離膜との間に間隔を設けてMOSトランジスタのPN接合部とシリサイド層との間隔を広くしたことによって、シリサイド層に高電圧が印加された場合に素子分離膜の端部やゲート電極の端部が電流集中によって静電破壊されることを防止できる。したがって、シリサイド層を有する高速動作が可能な半導体装置の信頼性を確保することができる。

【0037】また、本発明の半導体装置の製造方法によれば、素子分離膜とMOSトランジスタのゲート電極側壁のサイドウォールをマスクにして基板表面にシリサイ

ド層を形成した後当該サイドウォールと素子分離膜の幅を狭くした状態でソース拡散層及びドレイン拡散層を形成するための不純物導入を行うことによって、サイドウォール及び素子分離膜との間隔を保った状態で上記シリサイド層を設けてMOSトランジスタのPN接合部とシリサイド層との間隔を広くすることができる。このため、シリサイド層によって拡散抵抗が低く保たれると共に、静電耐圧が確保されたMOSトランジスタを有する半導体装置を得ることができる。

10 【0038】さらに、本発明の他の半導体装置によれば、ソース・ドレイン拡散層の表面層にシリサイド層を設けたMOSトランジスタにおいて、アクティブ領域と素子分離膜との境界部上にゲート電極を構成する導電層の一部分を配置したことによって、ソース・ドレイン拡散層と素子分離膜との間すなわち素子分離膜とPN接合部との間隔を広くすることができる。このため、ソース・ドレイン拡散層表面のシリサイド層に高電圧が印加されても、素子分離膜の端部が電流集中によって静電破壊されることを防止できる。したがって、ソース拡散層及びドレイン拡散層の表面にシリサイド層を有する高速動作が可能な半導体装置の信頼性を確保することができる。

20 【図面の簡単な説明】

【図1】本発明の第1実施形態を説明する断面図である。

【図2】本発明の第2実施形態を説明する断面図である。

【図3】本発明の第3実施形態を説明する断面図である。

30 【図4】本発明の第3実施形態を説明する平面図である。

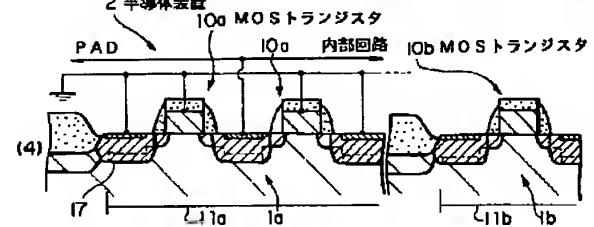
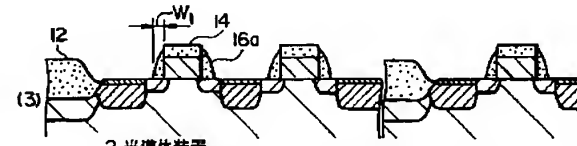
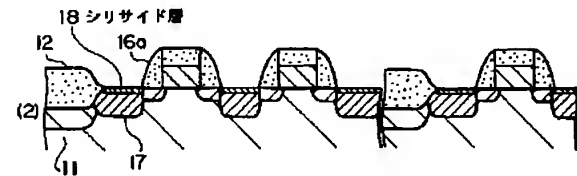
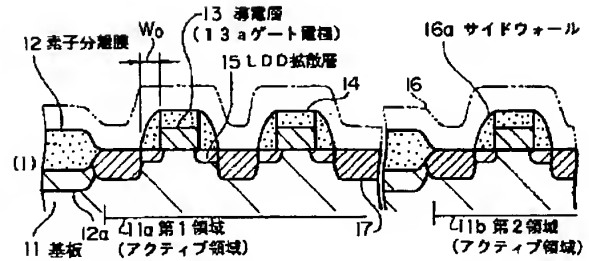
【図5】従来例を説明する断面図である。

【図6】静電保護回路の回路図である。

【符号の説明】

1, 2 半導体装置 10a, 10b MOSトランジスタ 11 基板  
11a 第1領域(アクティブ領域) 12 素子分離膜 13 導電層  
13a ゲート電極 15 LDD拡散層 16a サイドウォール  
17 ソース・ドレイン拡散層 18 シリサイド層

【図2】

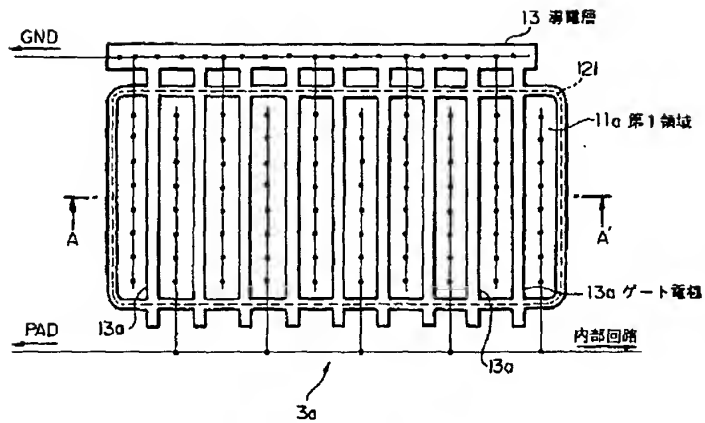


本発明の第２実施形態を説明する断面図

Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (1), (2), and (3).  
 View (1) shows a substrate 11 with a base layer 12. On top of the base layer, there are several regions: 13 (a gate electrode), 13a (a gate electrode), 13b (a gate electrode), 14 (a gate electrode), and 15 (a gate electrode). The regions 13, 13a, and 13b are grouped together as the first region (11a), and the regions 14 and 15 are grouped together as the second region (11b).  
 View (2) shows the addition of a side wall 16a and a gate electrode 17. The side wall 16a is located between the regions 13 and 13a. The gate electrode 17 is located between the regions 13b and 14.  
 View (3) shows the final structure with a silicide layer 18 and a gate electrode 19. The silicide layer 18 is located on top of the gate electrodes 13, 13a, 13b, 14, and 15. The gate electrode 19 is located between the regions 13b and 14.

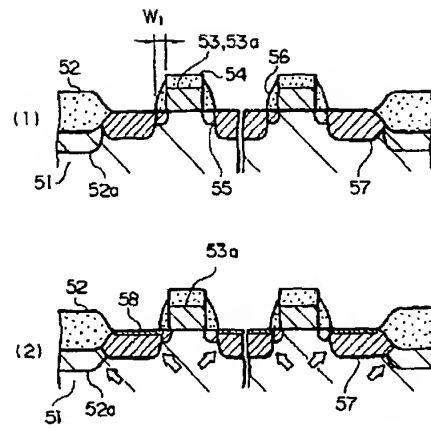


【図4】



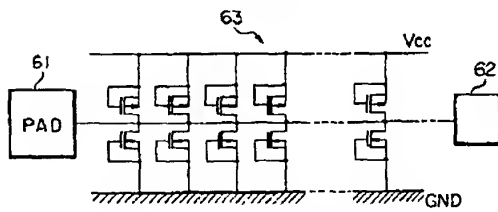
本発明の第3実施形態を説明する平面図

【図5】



従来例を説明する断面図

【図6】



静電保護回路の回路図

フロントページの続き

(51) Int. Cl.<sup>6</sup>

H01L 29/78

21/336

識別記号

庁内整理番号

F I

技術表示箇所